

P-2181

(19)日本国特許庁 (JP) (12) 公開特許公報 (A) (11)特許出願公開番号
特開平10-321742
(43)公開日 平成10年(1998)12月4日

(51)IntCl. ⁴		FI		H01L 23/00	
H01L 23/00		H01L 23/00		B	
23/50		23/50		W	
23/58		23/58		B	
25/06S		25/08		Z	
25/07					

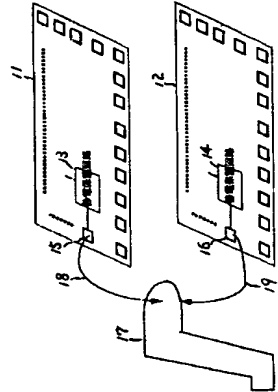
(21)出願 号	特開平9-132237	(71)出願人	000005049
		シャープ株式会社	
(22)出願日	平成9年(1997)5月22日	大阪府大阪市阿倍野区長池町2番22号	
		井村 興司	
		大阪府大阪市阿倍野区長池町2番22号	
		シャープ株式会社	
		立川 正章	
		大阪府大阪市阿倍野区長池町2番22号	
		シャープ株式会社	
		小松 宏二	
		大阪府大阪市阿倍野区長池町2番22号	
		シャープ株式会社	
		代理士 梅田 勲	

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 チップ面積の縮小を図ると共に、信号伝達遅延の増大を防止した両面搭載型半導体集積回路装置を提供すること。

【解決手段】 リードフレームのチップ搭載部の両面に、それぞれ集積回路チップ11及び12が搭載され、該各集積回路チップ11及び12の対応する各電極15及び16が、それぞれ、共通リード端子17に接続され、共通リード端子17に対して設けられる静電保護回路において、一方の集積回路チップ11に設けられる第1部分(静電保護回路13)と、他方の集積回路チップ12に設けられる第2部分(静電保護回路14)とから成り、該両部分の集合により、必要な機能を満たすべく構成される。



【特許請求の範囲】

【請求項1】 リードフレームのチップ搭載部の両面に、それぞれ集積回路チップが搭載され、該各集積回路チップの対応する各電極が、それぞれ、共通リード端子に接続されて成る樹脂封止型半導体集積回路装置において、

上記共通リード端子に対して設けられる静電保護回路が、何れか一方の集積回路チップにのみ設けられて成ることを特徴とする半導体集積回路装置。

【請求項2】 リードフレームのチップ搭載部の両面に、それぞれ集積回路チップが搭載され、該各集積回路チップの対応する各電極が、それぞれ、共通リード端子に接続されて成る樹脂封止型半導体集積回路装置において、

上記共通リード端子に対して設けられる静電保護回路が、一方の集積回路チップに設けられる第1部分と、他方の集積回路チップに設けられる第2部分とから成り、該両部分の集合により、必要な機能を満たすべく構成されて成ることを特徴とする半導体集積回路装置。

【0001】

【発明の属する技術分野】 本発明は、リードフレームのチップ搭載部の両面に、それぞれ集積回路チップが搭載され、該各集積回路チップの対応する各電極が、それぞれ、共通リード端子に接続されて成る樹脂封止型半導体集積回路装置に関するものである。

【0002】

【従来の技術】 樹脂封止型半導体集積回路装置は、リードフレームのチップ搭載部に集積回路チップが搭載され、該集積回路チップの各電極とリード端子間がボンディングワイヤにより接続された構成となつていて、かかる通常の樹脂封止型半導体集積回路装置に対して、機能の向上、或いは実装密度の向上を企図して、リードフレームのチップ搭載部の両面に、それぞれ集積回路チップを搭載する構成とした両面搭載型半導体集積回路装置が提案されている。

【0003】図2に、従来の両面搭載型半導体集積回路装置の構成図を示す。図において、31は、リードフレームのチップ搭載部であり、その両面に、それぞれ、集積回路チップ32、33が搭載されている。各集積回路チップ32及び33の対応する電極(図中未示)と、共通リード端子34との間は、それぞれボンディングワイヤ35にて接続されている。36は封止樹脂である。例えば、集積回路チップ32及び33が、それぞれ、同一容量のメモリチップであり、両面搭載により、容量を2倍とする場合は、チップ選択信号入力に基つき内部回路に選択信号を入力するデコーダ回路部分のみが共通し、他の部分は同一構成の2つのメモリチップ(但し、一方のチップは、他方のチップに対して、左右(又は上下)反転構造となっている)をチップ搭載部の両面に搭載

し、各メモリチップの対応する電極は同一のリード端子に接続する構成とすることにより、面積的に同一でありながら、機能(容量)を2倍とした半導体集積回路装置を得ることができる。かかる半導体集積回路装置は、例えば、特開平2-87661号公報に開示されている。

【0004】

【発明が解決しようとする課題】 しかしながら、上記従来の両面搭載型半導体集積回路装置には、以下に示す問題点があった。

【0005】 一般に、集積回路チップの各電極に対しては、外部よりの静電気の侵入に備えて静電保護回路が設けられている。すなわち、該静電保護回路により、外部より侵入した静電気を電流ライン等に導かし、内部回路に高電圧が印加されることを防止して、その破壊を未然に防止するようにしている。両面搭載型半導体集積回路装置に於いては、各電極、静電保護回路を、それぞれ、その内部に有する2個の集積回路チップがリードフレームのチップ搭載部の両面に搭載され、各集積回路チップの対応する電極が、それぞれ共通のリード端子にボンディングワイヤにより接続されることになる。したがって、各リード端子から見た場合、必要な2倍の機能を有する静電保護回路が接続されることになる。これは、必要以上に無駄な回路を設けていることになる。また、静電保護回路は、一般に、図3に示すように、トランジスタ、ダイオード等により構成されており、P/N接合や配線容量等の容量が付加される。したがって、両面搭載型半導体集積回路装置においては、通常の半導体集積回路装置の約2倍の容量が付くことになり、信号伝達の遅延が増大するという不都合を生じる。

【0006】 本発明は、かかる従来の問題点を解決すべくなされたものであり、上記の無駄を排し、チップ面積の縮小を図ると共に、信号伝達遅延の増大を防止した両面搭載型半導体集積回路装置を提供するものである。

【0007】

【課題を解決するための手段】 本発明(請求項1)の半導体集積回路装置は、リードフレームのチップ搭載部の両面に、それぞれ集積回路チップが搭載され、該各集積回路チップの対応する各電極が、それぞれ、共通リード端子に接続されて成る樹脂封止型半導体集積回路装置において、上記共通リード端子に対して設けられる静電保護回路が、何れか一方の集積回路チップにのみ設けられて成ることを特徴とするものである。

【0008】 また、本発明(請求項2)の半導体集積回路装置は、リードフレームのチップ搭載部の両面に、それぞれ集積回路チップが搭載され、該各集積回路チップの対応する各電極が、それぞれ、共通リード端子に接続されて成る樹脂封止型半導体集積回路装置において、上記共通リード端子に対して設けられる静電保護回路が、一方の集積回路チップに設けられる第1部分と、他方の集積回路チップに設けられる第2部分とから成り、該両

部分の集合により、必要な機能を満たすべく構成されて成ることを特徴とするものである。

【0009】かかる本発明の半導体集積回路装置によれば、両面搭載型半導体集積回路装置において、静電保護回路を何れか一方の集積回路チップにのみ設け、或いは、所定領域の静電保護回路を2つの集積回路チップに分散させて設ける構成としているので、無駄な回路を無くすることができ、チップ面積の縮小を図ることができると共に、各電極に付加される寄生容量の増加を防止することができ、信号遅延の増大を防止することができるものである。

【0010】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照して詳細に説明する。

【0011】図1は、本発明の「実施形態」である半導体集積回路装置の概略的構成図である。

【0012】本実施形態は、構造的には、図2に示す従来の半導体集積回路装置の構造と同様であり、図1においては、特許部分のみを示している。図において、11及び12は、それぞれ、集積回路チップであり、例えば、同「容量」のメモリチップ(DRAM、ROM等)である。本実施形態においては、必要領域の静電保護回路を2つの集積回路チップ11及び12に分散させて(例えば、それぞれに、1/2領域ずつ設ける)設ける構成としている。図において、13及び14は、それぞれ、集積回路チップ11及び12に設けられた静電保護回路であり、該分散して設けられた2つの静電保護回路13及び14の両者によって、必要な静電保護機能が得られるように構成されている。15及び16は、それぞれ、静電保護回路13及び14が接続される導線、17は、上記電極15及び16に対する共通リード端子、18及び19は、それぞれ、共通リード端子17と、各電極15及び16間を接続するボンディングワイヤである。

【0013】図4は、外部より入力されるチップ選択信号に応じて、集積回路チップ11と、集積回路チップ12の何れか一方を有効とする制御回路部分の構成を示す。

【0014】図に示す電極に、外部よりのチップ選択信号が印加される。駆動修正部の接続を集積回路チップ11と12とで異ならせることにより、チップ選択信号の11、1に於いて、何れか一方の集積回路チップの内部制御信号が11、他方の集積回路チップの内部制御信号が12となり、チップ選択が行われる。

【0015】上記実施形態においては、1個のリード端

子に対する静電保護回路を2つの集積回路チップに分散させて設け、それぞれの集積回路チップに設けられた各静電保護回路の集合によって、所定の機能が得られる構成として、1個のリード端子に対して必要な規模の静電保護回路を、何れか一方の集積回路チップにのみ設ける構成としてもよい。この場合、全リード端子に対するすべての静電保護回路を、何れか一方の集積回路チップ(例えば、集積回路チップ11)にのみ設ける構成としてもよいし、適当に分散配置される構成としても良い。例えば、入力端子に対する静電保護回路は集積回路チップ11の側に設け、出力端子に対する静電保護回路は集積回路チップ12の側に設けるといった振り分けを行ってもよい。

【0016】2つの集積回路チップは、導電性リードフレームのチップ搭載部に基板を共通に張り合わされるため、チップ間の基板抵抗を低く抑えることができる。したがって、共通リード端子の静電保護回路を一方の集積回路チップにのみ設けたり、2つの集積回路チップの静電保護回路の規模を約半分に減少させても、通常の集積回路チップから成る半導体集積回路装置の場合と同様の、静電破壊特性が得られるものである。

【0017】

【発明の効果】以上詳細に説明したように、本発明の半導体集積回路装置によれば、両面搭載型半導体集積回路装置において、静電保護回路を何れか一方の集積回路チップにのみ設け、或いは、所定領域の静電保護回路を2つの集積回路チップに分散させて設ける構成としているので、無駄な回路を無くすることができ、チップ面積の縮小を図ることができると共に、各電極に付加される寄生容量の増加を防止することができ、信号遅延の増大を防止することができるものである。

【図面の簡単な説明】

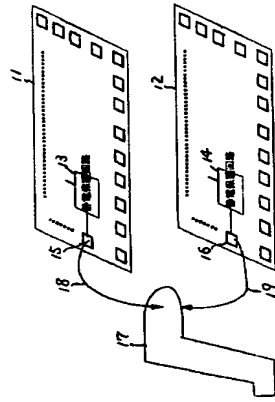
【図1】本発明の「実施形態」の概略構成図である。
【図2】従来の両面搭載型半導体集積回路装置の構成図である。

【図3】静電保護回路の構成例を示す図である。
【図4】図1に示される各集積回路チップに設けられるチップ選択制御回路部分の構成図である。

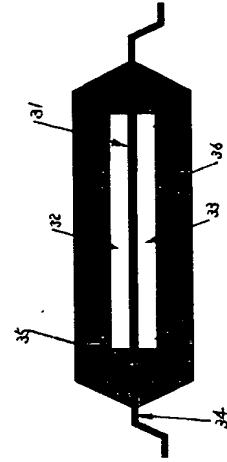
【符号の説明】

11、12 集積回路チップ
13、14 静電保護回路
15、16 電極
17 共通リード端子
18、19 ボンディングワイヤ

【図1】



【図2】



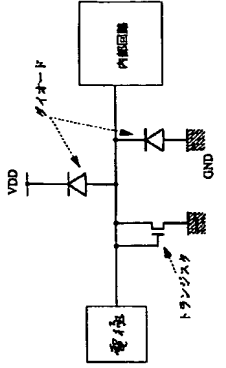
フロントページの続き

(51) Int. Cl. 6 識別記号

H01L 25/18

F1

【図3】



【図4】

